

(11)特許出願公開番号

(43)公開日 平成5年(1993)10月8日

技術表示箇所

Z 9070-5C

【特許請求の範囲】

【請求項1】 アナログの映像信号をデジタルの映像信号に変換するアナログ・デジタルコンバータと、このアナログ・デジタルコンバータで変換されたデジタルの映像信号を記憶する3フィールドメモリと、この3フィールドメモリの記憶内容が動画信号か静止画信号かを検出する動き検出回路と、上記アナログ・デジタルコンバータおよび上記3フィールドメモリの書き込み制御を行うとともに上記動き検出回路により上記3フィールドメモリの記憶内容が動画信号の場合には上記3フィールドメモリに記憶されているデジタルの映像信号を3倍の速度で読み出すコントローラと、このコントローラの制御のもとに上記動き検出回路が上記動画信号を検出した場合に上記3フィールドメモリの出力信号を入力して補間信号を作成するデジタルプロセッサと、このデジタルプロセッサの出力信号からアナログの映像信号に変換するデジタル・アナログコンバータとを備えたスキャンコンバータ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、フィールド周波数が50Hzの信号を150Hzに変換する150Hz（フィールド周波数、ライン周波数ともに3倍になる）スキャンコンバータに関するものである。

【0002】

【従来の技術】 図4は、例えば従来の100Hzスキャンコンバータの入力と出力の関係を示したものである。図4において、1は第1フィールド、2は第2フィールド、3は第3フィールド、4は第4フィールドであり、第1と第2フィールド1、2で一つのフレームを構成する。フィールド周波数は50Hzである。

【0003】 また、図5において、1aは50Hzから100Hzに変換後の第1フィールド、2aは変換後の第2フィールド、3aは変換後の第3フィールド、4aは変換後の第4フィールド、以下、同様にして、8aは変換後の第8フィールドであり、A、A*、B* が一つのフレームを構成する。この図4、図5の両図において、A、B、Cで示すフィールドは同一の信号を意味する。図5は特に動画の処理に注目したもので、静止画を区別して図6のように処理する場合もある。

【0004】

【発明が解決しようとする課題】 従来のスキャンコンバータの入出力関係は、図4に示すフィールド周波数50Hzの信号を図5に示すフィールド周波数100Hzの信号に変換すると、第2フィールドの信号（例えば図4のB）があるべき正しい時間軸上の位置よりも図5に示すように、図4の第2フィールド2の信号に対応する第4フィールド4aの信号よりも1/100SEC 遅れている。すなわち、AのフィールドとBのフィールドの間隔が1/100SEC 長くなり、BのフィールドとCのフィ

ールドの間隔が1/100SEC 短くなっているため、動きが不自然になる場合があった。

【0005】 この発明は、上記のような問題点を解消するためになされたもので、動きの不自然さを伴うことなく、50Hzであるがゆえに、発生していたラージエリアのフリッカを無くすることが出来るスキャンコンバータを得ることを目的とする。

【0006】

【課題を解決するための手段】 この発明に係るスキャンコンバータは、アナログの映像信号を3倍速のデジタルの映像信号に変換するアナログ/デジタルコンバータと、このアナログ/デジタルコンバータで変換されたデジタルの映像信号を記憶する3フィールドメモリと、この3フィールドメモリに記憶されたデジタルの映像信号をアナログの映像信号に戻すデジタル/アナログコンバータとを設けたものである。

【0007】

【作用】 この発明において、アナログ/デジタルコンバータにより、アナログの映像信号を3倍速のデジタルの映像信号に変換して、フィールドメモリに記憶し、このフィールドメモリに記憶したデジタル映像信号を3倍のフィールド周波数で読み出して、デジタル/アナログコンバータでアナログの映像信号に変換することにより、入力信号と同一内容のフィールドが入力信号と同じ時間間隔で出力される。

【0008】

【実施例】 実施例1. 以下、この発明の一実施例を図について説明する。図1において、11はアンテナ、12はチューナ、13はVIF（映像中間周波）回路、14はクロマデコード回路である。このクロマデコード回路14の出力を同期分離回路20で同期分離して、コントローラ21に出力するようになっているとともに、輝度信号25はアナログ/デジタルコンバータ15a（以下、ADCという）に入力され、色差信号26はADC15bに入力されるようになっている。これらのADC15a、15bはアナログの映像信号を3倍速のデジタルの映像信号に変換するものである。

【0009】 ADCコンバータ15a、15bの出力はコントローラ21から出力される50Hzの入力信号に同期した書き込みクロック27により、3フィールドメモリ16a、16bにそれぞれ書き込まれるようになっている。3フィールドメモリ16a、16bの記憶内容の読み出しは、コントローラ21から出力される読み出しクロック28により、入力信号の3倍の読み出しクロック28により読み出すようになっている。

【0010】 3フィールドメモリ16a、16bから読み出されたデジタルの映像信号はデジタルプロセッサ27に出力されるようになっているとともに、動き検出回路24にも入力されるようになっている。動き検出回路24は動画部と静止画部の処理を変えるときに使用

3

する。またデジタルプロセッサ27はこれらの3フィールドメモリ16a、16bの出力から補間信号を演算処理して作成し、デジタル/アナログ変換器（以下、DACという）28a、28bに出力するようになっている。

【0011】この両DAC28a、28bの出力はマトリックス回路29にて合成されるようになっており、このマトリックス回路29の出力はCRT（ブラウン管）23の表示面に表示するようになっている。このCRT23の偏向コイルには、偏向回路22の出力電流が供給されるようになっており、この偏向回路22はコントローラ21により制御されるようになっている。なお、ADC15a、15bからDAC28a、28bまでのブロックは輝度信号の処理と同様に、色差信号の処理にも用いる。

【0012】また、輝度信号25、色差信号26の代わりに、RGB信号で処理してもよい（RGB信号で処理する場合は、図1中のマトリックス29は不要。）。

【0013】次に、動作について説明する。アンテナ11で受信されたテレビ信号はチューナ12で選択され、VIF回路13で映像中間周波数信号が取り出され、クロマデコード14でデコードされ、このクロマデコード回路14から出力される映像信号より同期分離回路20で同期信号を分離し、分離された同期信号はコントローラ21に送られる。

【0014】これにより、コントローラ21はADC15a、15bを制御して、ADC15aはクロマデコード14から出力される輝度信号をデジタル信号に変換し、ADC15bはクロマデコード14から出力される色差信号をデジタル変換する。これらのADC15a、15bの出力はコントローラ21から出力される書き込みクロック27により、それぞれ3フィールドメモリ16a、16bに書き込まれる。これらの3フィールドメモリ16a、16bに書き込まれたデジタルの映像信号は動き検出回路24で検出され、図2に示す動画の処理のときと、図3に示す静止画の処理を切り換えるときに使用されるが、いま、図2に示す動画の場合の3フィールドメモリ16a、16bに記憶されているデジタルの映像信号を読み出す場合を考えるものとする。

【0015】この場合、動き検出回路24が3フィールド*40

4

ドメモリ16a、16bに記憶されているデジタル映像信号が動画であることを検出すると、その検出信号はコントローラ21に出力される。コントローラ21はこの検出信号に基づき、3フィールドメモリ16a、16bの記憶内容を図2に示すように読み出しを150Hzで行なう（フィールド周波数もライン周波数も3倍になる）ことによって、図2に示すフィールドAとA、A*とB*、B*とB*の間隔が1/150SECとなり、フィールドAとB、BとCの間隔は入力信号と同じ1/50SECになる。したがって、100Hz化の本来の目的であるラージエリアフリッカを発生させることなく、動きの不自然さも発生させない。

【0016】ここにいうラージエリアのフリッカとは、フィールド周波数が50Hzであるために、人間の目でチラツキが感じられる現象である。チラツキを感じるスレショールドは、50Hzと60Hzの間に存在することが実験的に確認されており、日本のような60Hzの信号だと、このチラツキの問題は発生しない。

【0017】図2に示す動画の場合におけるフィールドA*、B*は補間信号を示す。この補間信号は3フィールドメモリ16a、16bの出力信号がデジタルプロセッサ27に送出することにより、演算処理して作成されるが、具体的な補間法は種々考えられ、たとえば、メディアン方式、フィールド内平均等々がある。この補間信号および各フィールド信号をデジタルプロセッサ27からDAC28a、28bに出力し、そこで、再びアナログの映像信号に変換してマトリックス回路29で合成し、CRT23に動画像の表示を行う。

【0018】このように、3フィールドメモリ16a、16bに記録されているデジタルの映像信号の読み出しを150Hz（フィールド周波数）にすることにより、ラージエリアフリッカとラインフリッカを除去することができる。このラインフリッカは図5で示した、たとえば、補間法の違いにより、A* = A、B* = Bの補間の場合は除去されないが、A*、B*がメディアン処理の場合には、ラインフリッカも除去される。ここで、メディアン処理は、次の「数1」、「数2」のように表わされる。

【0019】

【数1】

$$\{a_{x,y}^*\} = \text{Med} \{a_{x,y}, a_{x,y+1}, b_{x,y}\}$$

【0020】

※ ※ 【数2】

$$\{b_{x,y}^*\} = \text{Med} \{a_{x,y+1}, b_{x,y}, b_{x,y+1}\}$$

【0021】また、動画から静止画に切り換わる場合には、動き検出回路24からフィールドメモリ16a、16bの記憶内容から静止画であることを判断して、コントローラ21に出力することにより、コントローラ21

は3フィールドメモリ16a、16bに対して、図3に示すような静止画のデジタルの映像信号の読み出しを行って、デジタルプロセッサ27に出力させる。このデジタルプロセッサ27の出力をDAC28a、28

5

bに出力して、そこでアナログの映像信号に変換後、マトリックス回路29で合成して、CRT23にて静止画の表示を行う。

【0022】

【発明の効果】以上のように、この発明によれば、3フィールドメモリに記録されたデジタルの映像信号の読み出しを150Hz（フィールド周波数）にしたので、補間のアルゴリズムを複雑にすることなく、動きの不自然さを発生させないで、ラージエリアフリッカおよびラインフリッカを除去することが出来る効果がある。

【図面の簡単な説明】

【図1】この発明の一実施例によるスキャンコンバータのブロック図である。

【図2】同上実施例を説明するための動画の場合の3フィールドメモリの出力信号の説明図である。

【図3】同上実施例を説明するための静止画の場合の3フィールドメモリの出力信号の説明図である。

【図4】従来のスキャンコンバータを説明するための入力信号の説明図である。

【図5】従来のスキャンコンバータを説明するための動

6

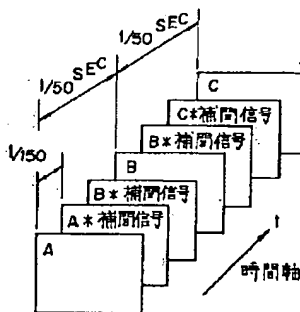
画の場合の出力信号の説明図である。

【図6】従来のスキャンコンバータを説明するための静止画の場合の出力信号の説明図である。

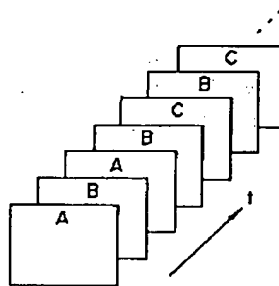
【符号の説明】

- 11 アンテナ
- 12 チューナ
- 13 VIF回路
- 14 クロマデコード回路
- 15 a アナログ・デジタルコンバータ (ADC)
- 15 b アナログ・デジタルコンバータ (ADC)
- 16 a 3フィールドメモリ
- 16 b 3フィールドメモリ
- 20 同期分離回路
- 21 コントローラ
- 22 偏向回路
- 23 CRT
- 27 デジタルプロセッサ
- 28 a デジタル・アナログコンバータ (DAC)
- 28 b デジタル・アナログコンバータ (DAC)
- 29 マトリックス

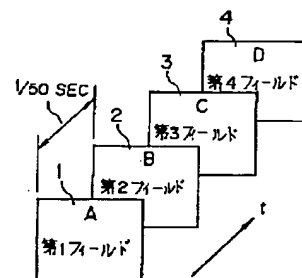
【図2】



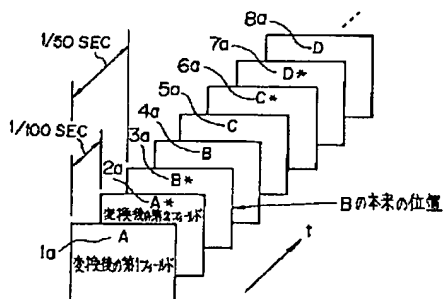
【図3】



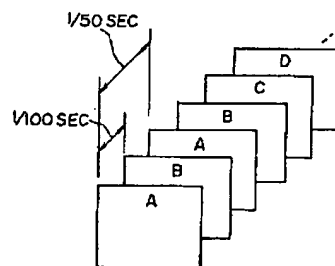
【図4】



【図5】



【図6】



【図1】

